

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-154630

(43) Date of publication of application : 08.06.2001

(51)Int.Cl. G09G 3/20  
G06T 5/00  
G09G 3/28

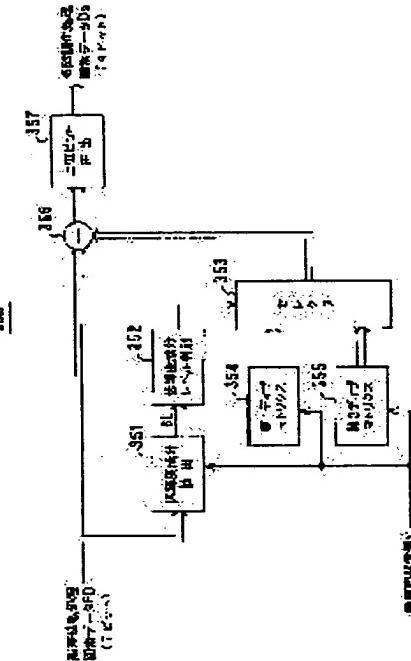
(21)Application number : 11-332795 (71)Applicant : PIONEER ELECTRONIC CORP  
(22)Date of filing : 24.11.1999 (72)Inventor : SUZUKI MASAHIRO

(54) DITHER PROCESSING CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a dither processing circuit conducting excellent dither processing suppressing the occurrence of a dither pattern.

**SOLUTION:** Dither coefficients to be allocated to respective pixels in respective pixel groups are changed according to luminance levels shown by the pixel data answering to an input video signal.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-154630

(P 2001-154630 A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. 7

G09G 3/20

識別記号

641

F I

G09G 3/20

テマコード (参考)

H 5B057

E 5C080

K

Q

G06T 5/00

G06F 15/68

A

審査請求 未請求 請求項の数 6 O L (全17頁) 最終頁に続く

(21) 出願番号

特願平11-332795

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(22) 出願日

平成11年11月24日 (1999.11.24)

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地 パ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

Fターム(参考) 5B057 CA07 CA12 CB07 CE13 DA16

DB02

5C080 AA05 BB05 DD02 DD03 DD30

EE29 FF12 GG09 GG12 JJ02

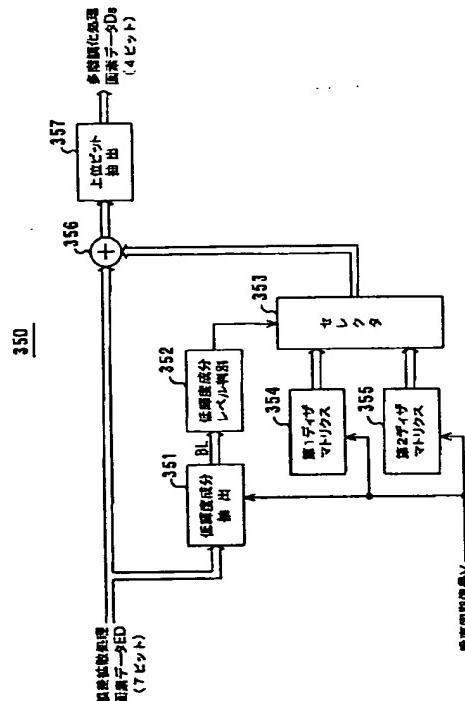
JJ04 JJ05

(54) 【発明の名称】ディスプレイ装置のディザ処理回路

(57) 【要約】

【課題】 ディザパターンの発生を抑制した良好なディザ処理を実施することができるディザ処理回路を提供することを目的とする。

【解決手段】 入力映像信号に対応した画素データによって表される輝度レベルに応じて、各画素群内の画素々々に割り当てるべきディザ係数を変更する。



## 【特許請求の範囲】

【請求項1】連続して生じる単位画面情報信号からなる映像信号に応じてディスプレイ画面上に2次元画像を表示するディスプレイ装置のディザ処理回路であって、前記画面上の複数の画素群各々の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、前記画素の各々に対応した前記映像信号に基づく画素データに前記ディザ係数を加算したものをディザ処理画素データとして出力する加算器とからなり。

前記ディザ係数発生手段は、発生すべき前記ディザ係数を前記画素データによって表される輝度レベルに応じて変更することを特徴とするディザ処理回路。

【請求項2】前記ディザ係数発生手段は、発生すべき前記ディザ係数を更に前記単位画面情報信号毎に変更することを特徴とする請求項1記載のディザ処理回路。

【請求項3】前記輝度レベルとは、前記画素データによって表される低輝度成分のレベルであることを特徴とする請求項1記載のディザ処理回路。

【請求項4】前記画素群の各々は、前記画面上において互いに隣接するN行・M列分からなる前記画素の集合であることを特徴とする請求項1記載のディザ処理回路。

【請求項5】前記ディザ係数発生手段は、互いに異なる係数値を有する複数の係数を前記画素群内における各画素位置に対応させた第1ディザマトリクスを発生する第1ディザマトリクス回路と、前記係数各々の前記画素群内における各画素位置への割り当てを前記第1ディザマトリクスとは異ならせた第2ディザマトリクスを発生する第2ディザマトリクス回路と。

前記画素データによって表される輝度レベルに応じて前記第1ディザマトリクス及び前記第2ディザマトリクスの内の一方を選択しこれを前記ディザ係数として前記加算器に供給するセレクタと、を有することを特徴とする請求項1記載のディザ処理回路。

【請求項6】前記第1ディザマトリクス及び前記第2ディザマトリクス各々は、前記係数各々の前記画素群内における各画素位置への割り当てが前記単位画面情報信号毎に異なることを特徴とする請求項5記載のディザ処理回路。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は、ディスプレイ装置のディザ処理回路に関する。

## 【0002】

【従来の技術】最近、薄型、軽量の2次元画像表示パネルとして、プラズマディスプレイパネル(以下、PDPと称する)が注目されている。PDPは、ディジタル映像信号によって直接駆動され、その表現し得る輝度の階調数は、上記ディジタル映像信号に基づく各画素毎の画

素データのビット数によって決まる。

【0003】PDPを階調駆動させる方法として、単位画面表示期間、例えば1フィールドの表示期間を、夫々が、画素データ(Nビット)の各ビット桁の重み付けに対応した時間だけ発光するN個のサブフィールドに分割して駆動する、いわゆるサブフィールド法が知られている。例えば、画素データが8ビットの場合には、1フィールドの表示期間を重み付けの順に、サブフィールドSF8、SF7、…、SF1なる8個のサブフィールドに分割する。各サブフィールドでは、画素データに応じた点灯画素及び消灯画素の設定をPDPの表示ライン毎に行なうアドレス期間と、上記点灯画素のみをそのサブフィールドの重み付けに対応した時間だけ発光させるサステイン期間とを実行する。すなわち、各サブフィールド毎に独立して、そのサブフィールド内において発光を実施するか否かの発光駆動制御がなされるのである。従つて、1フィールド内には、"発光"状態となるサブフィールドと、"非発光"状態となるサブフィールドが混在することになる。この際、1フィールド内の各サブフィールドにて実施された発光時間の総和によって中間調の輝度が表現される。

【0004】PDPを採用したディスプレイ装置では、このような階調駆動に、ディザ処理を併用させることにより、視覚上における階調数を増加させて画質向上を図るようにしている。ディザ処理では、表示画面上の互いに隣接する複数の画素により、1つの中間輝度を表現させるものである。例えば、上下、左右に互いに隣接する4つの画素を1組とし、この1組の画素各々に対応した画素データに対して、互いに異なる係数値からなる4つのディザ係数(例えば、0、1、2、3)を割り当て、各画素データに加算する。

【0005】しかしながら、このように画素データにディザ係数を加算すると、元の画素データとは何等関係のない疑似模様、いわゆるディザパターンが視覚される場合があり、画質を損ねてしまうという問題があった。

## 【0006】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、ディザパターンの発生を抑制した良好なディザ処理を実施することができるディスプレイ装置のディザ処理回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明によるディスプレイ装置のディザ処理回路は、連続して生じる単位画面情報信号からなる映像信号に応じてディスプレイ画面上に2次元画像を表示するディスプレイ装置のディザ処理回路であって、前記画面上の複数の画素群各々の各画素位置に対応させてディザ係数を発生するディザ係数発生手段と、前記画素の各々に対応した前記映像信号に基づく画素データに前記ディザ係数を加算したものをディザ処

理画素データとして出力する加算器とからなり、前記ディザ係数発生手段は、発生すべき前記ディザ係数を前記画素データによって表される輝度レベルに応じて変更する。

## 【0008】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図1は、本発明によるディザ処理回路を搭載したプラズマディスプレイ装置の概略構成を示す図である。かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、これを駆動する駆動部(同期検出回路1、駆動制御回路2、A/D変換器4、データ変換回路30、メモリ5、アドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8)とから構成される。

【0009】PDP10は、アドレス電極としての列電極D<sub>1</sub>～D<sub>n</sub>と、これら列電極と直交して配列されている行電極X<sub>1</sub>～X<sub>m</sub>及び行電極Y<sub>1</sub>～Y<sub>n</sub>を備えている。PDP10では、これら行電極X及び行電極Yの一対にて1行分に対応した行電極を形成している。上記行電極及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて画素に対応した放電セルが形成される構造となっている。すなわち、PDP10には、(第1行・第1列)～(第n行・第m列)各々に対応したn×m個の画素が形成されている。

【0010】同期検出回路1は、1画面分毎に連続して供給されてくる単位画面情報信号としての映像信号中から垂直同期信号を検出したときに垂直同期信号Vを発生する。更に、同期検出回路1は、かかる映像信号中から水平同期信号を検出した場合には水平同期信号Hを発生する。同期検出回路1は、これら垂直同期信号V及び水平同期信号Hの各々を、駆動制御回路2及びデータ変換回路30に供給する。A/D変換器4は、駆動制御回路2から供給されたクロック信号に応じて上記映像信号をサンプリングし、これを各画素毎の例えば8ビットの画素データDに変換してデータ変換回路30に供給する。

【0011】図2は、かかるデータ変換回路30の内部構成を示す図である。図2に示されるように、データ変換回路30は、ABL(自動輝度制御)回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。ABL回路31は、PDP10の画面上に表示される画像の平均輝度が適切な輝度範囲内に収まるように、A/D変換器4から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データD<sub>a</sub>を第1データ変換回路32に供給する。

【0012】図3は、かかるABL回路31の内部構成を示す図である。図3において、レベル調整回路310は、後述する平均輝度検出回路311にて求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データD<sub>a</sub>を出力する。データ変換回路

312は、かかる輝度調整画素データD<sub>a</sub>を図4に示されるが如き非線形特性からなる逆ガンマ特性( $Y=X^{1/2}$ )に変換したものを逆ガンマ変換画素データD<sub>r</sub>として平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データD<sub>a</sub>に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データD<sub>r</sub>)を復元するのである。平均輝度検出回路311は、先ず、かかる逆ガンマ変換画素データD<sub>r</sub>の平均輝度を求める。ここで、平均輝度検出回路311は、かかる平均輝度が、最高輝度～最低輝度なる範囲を4段階に分類した輝度モード1～4の内のいずれに該当するのかを判別し、この該当する輝度モードを示す輝度モード信号LCを駆動制御回路2に供給しつつ、上述した如く求めた平均輝度を上記レベル調整回路310に供給する。つまり、レベル調整回路310は、かかる平均輝度に応じて画素データDのレベルを調整したものを上記輝度調整画素データD<sub>a</sub>として上記データ変換回路312、及び次段の第1データ変換回路32に供給するのである。第1データ変換回路32は、上記輝度調整画素データD<sub>a</sub>を図5に示されるが如き変換特性に基づいて“0”～“384”までの9ビットの第1変換画素データD<sub>s</sub>に変換し、これを多階調化処理回路33に供給する。かかる第1データ変換回路32により、後述する多階調化処理回路33での表示階調数、多階調化による圧縮ビット数に合わせたデータ変換が為される。つまり、多階調化処理回路33の多階調化処理による輝度飽和、並びに表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止する。

【0013】多階調化処理回路33は、上記9ビットの第1変換画素データD<sub>s</sub>に対して誤差拡散処理及びディザ処理を施すことにより、現階調数を維持しつつもそのビット数を4ビットに削減した多階調化処理画素データD<sub>s</sub>を生成する。尚、これら誤差拡散処理及びディザ処理については後述する。第2データ変換回路34は、上記4ビットの多階調化処理画素データD<sub>s</sub>を図6に示されるが如き変換テーブルに従って第1～第12ビットからなる表示駆動画素データGDに変換する。尚、これら第1～第12ビットの各々は、後述するサブフィールドSF1～SF12各々に対応したものである。

【0014】このように、上記多階調化処理回路33及び第2データ変換回路34によれば、8ビットで256階調を表現し得る画素データDは、図6に示されるが如き全部で13パターンからなる12ビットの表示駆動画素データGDに変換される。メモリ5は、駆動制御回路2から供給されてくる書込信号に従って上記表示駆動画素データGDを順次書き込んで記憶する。かかる書込動作により、1画面(n行、m列)分の表示駆動画素データGD<sub>1...n</sub>の書き込みが終了すると、メモリ5は、駆動制御回路2から供給されてくる読出信号に応じて、表

示駆動画素データ  $GD_{1\dots12}$  を同一ビット桁同士にて 1 行分毎に順次読み出してアドレスドライバ 6 に供給する。すなわち、メモリ 5 は、各々が 12 ビットからなる 1 画面分の駆表示駆動画素データ  $GD_{1\dots12}$  を、  
 DB 1<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 1 ビット目  
 DB 2<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 2 ビット目  
 DB 3<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 3 ビット目  
 DB 4<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 4 ビット目  
 DB 5<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 5 ビット目  
 DB 6<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 6 ビット目  
 DB 7<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 7 ビット目  
 DB 8<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 8 ビット目  
 DB 9<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 9 ビット目  
 DB 10<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 10 ビット目  
 DB 11<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 11 ビット目  
 DB 12<sub>1\dots12</sub> : 表示駆動画素データ  $GD_{1\dots12}$  の第 12 ビット目  
 の如く 12 分割した表示駆動画素データビット DB 1<sub>1\dots12</sub> ~ DB 12<sub>1\dots12</sub> として捉える。そして、これら DB 1<sub>1\dots12</sub> , DB 2<sub>1\dots12</sub> , ..., DB 12<sub>1\dots12</sub> 各々を、駆動制御回路 2 から供給された読出信号に従って 1 行分毎に順次読み出してアドレスドライバ 6 に供給するのである。

【0015】駆動制御回路 2 は、上記水平同期信号 H 及び垂直同期信号 V に同期して、上記 A/D 変換器 4 に対するクロック信号、及びメモリ 5 に対する書込・読出信号を発生する。更に、駆動制御回路 2 は、図 7 に示されるが如き発光駆動フォーマットに従って、PDP 10 を駆動させるべき各種タイミング信号をアドレスドライバ 6 、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々に供給する。

【0016】尚、図 7 に示される発光駆動フォーマットでは、単位画面表示期間、いわゆる 1 フィールド期間を 12 個のサブフィールド SF 1 ~ SF 12 に分割している。各サブフィールド内では、PDP 10 の各放電セルに対して画素データの書き込みを行って“発光セル”及び“非発光セル”的設定を行う画素データ書込行程 Wc と、上記“発光セル”的みを各サブフィールドの重み付けに対応した期間(回数)だけ発光させる発光維持行程 Ic

とを実施する。ただし、先頭のサブフィールド SF 1においてのみで、PDP 10 の全放電セルを初期化せしめる一齊リセット行程 Rc を実行し、最後尾のサブフィールド SF 12 のみで消去行程 E を実行する。

【0017】図 8 は、図 7 に示される発光駆動フォーマットに従って、アドレスドライバ 6 、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々が、PDP 10 の行電極及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。先ず、サブフィールド SF 1 での一齊リセット行程 Rc では、第 1 サスティンドライバ 7 が図 8 に示されるが如き負極性のリセットパルス RP<sub>1</sub> を行電極 X<sub>1</sub> ~ X<sub>n</sub> に印加する。かかるリセットパルス RP<sub>1</sub> の印加と同時に、第 2 サスティンドライバ 8 が、図 8 に示されるが如き正極性のリセットパルス RP<sub>2</sub> を行電極 Y<sub>1</sub> ~ Y<sub>n</sub> に印加する。これらリセットパルス RP<sub>1</sub> 及び RP<sub>2</sub> の印加に応じて、PDP 10 における全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全放電セルは一旦、“発光セル”に設定される。

【0018】次に、各サブフィールド内での画素データ書込行程 Wc では、アドレスドライバ 6 が、上記メモリ 5 から供給された表示駆動画素データビット DB の論理レベルに対応した電圧を有する画素データパルスを発生する。この際、アドレスドライバ 6 は、1 行分の画素データパルスからなる画素データパルス群 DP を列電極 D<sub>1\dots12</sub> に印加して行く。例えば、サブフィールド SF 1 の画素データ書込行程 Wc では、上記表示駆動画素データビット DB 1<sub>1\dots12</sub> の内から第 1 行目に対応した分、つまり DB 1<sub>1\dots12</sub> を抽出し、これら DB 1<sub>1\dots12</sub> 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 DP 1<sub>1</sub> を生成して列電極 D<sub>1\dots12</sub> に印加する。

次に、かかる表示駆動画素データビット DB 1<sub>1\dots12</sub> の内の第 2 行目に対応した分である DB 1<sub>2\dots12</sub> を抽出し、これら DB 1<sub>2\dots12</sub> 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 DP 1<sub>2</sub> を生成して列電極 D<sub>1\dots12</sub> に印加する。これにより、サブフィールド SF 1 の画素データ書込行程 Wc 内では、1 行分毎の画素データパルス群 DP 1<sub>1</sub> ~ DP 1<sub>12</sub> を順次列電極 D<sub>1\dots12</sub> に印加して行く。尚、アドレスドライバ 6 は、表示駆動画素データビット DB の論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0 ボルト)の画素データパルスを生成するものとする。

【0019】更に、画素データ書込行程 Wc では、第 2 サスティンドライバ 8 が、上述した如き画素データパルス群 DP の各印加タイミングと同一タイミングにて、図 8 に示されるが如き負極性の走査パルス SP を発生し、これを行電極 Y<sub>1</sub> ~ Y<sub>n</sub> へと順次印加して行く。この際、走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ

放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。すなわち、表示駆動画素データGDにおける第1ビット～第12ビット各々が、サブフィールドSF1～SF12各自での画素データ書込行程Wcにおいて選択消去放電を生起させるか否かを決定しているのである。かかる選択消去放電により、上記一齊リセット行程Rcにて“発光セル”的状態に初期化された放電セルは、“非発光セル”に推移する。一方、低電圧の画素データパルスが印加された“列”に形成されている放電セルには放電が生起されず、現状が保持される。つまり、“非発光セル”的放電セルは“非発光セル”的状態を維持し、そして“発光セル”的放電セルは“発光セル”的状態をそのまま維持するのである。このように、各サブフィールド毎の画素データ書込行程Wcによって、その直後の発光維持行程Icで維持放電を生起される“発光セル”と、生起させない“非発光セル”とを設定する。

【0020】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～Y<sub>m</sub>に対して図8に示されるように交互に正極性の維持パルスIP<sub>1</sub>及びIP<sub>2</sub>を印加する。ここで、発光維持行程Icにおいて印加する維持パルスIPの回数は、各サブフィールドSF1～SF12毎に、

SF1 : 1  
SF2 : 2  
SF3 : 4  
SF4 : 7  
SF5 : 11  
SF6 : 14  
SF7 : 20  
SF8 : 25  
SF9 : 33  
SF10 : 40  
SF11 : 48  
SF12 : 50

となっている。

【0021】そして、最後尾のサブフィールドSF12のみで消去行程Eを実行する。かかる消去行程Eにおいては、アドレスドライバ6が、図8に示されるが如き正極性の消去パルスAPを発生してこれを列電極D<sub>1..n</sub>に印加する。更に、第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に図8に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y<sub>1..m</sub>各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが“非発光セル”になるのである。

【0022】以上の如く、図7及び図8に示される発光駆動によれば、各サブフィールド内の画素データ書込行程Wcにおいて“発光セル”に設定された放電セルのみが、その直後の発光維持行程Icにて上述した如き回数だけ発光を繰り返す。この際、1フィールド内での各サブフィールドSF1～SF12において実施された発光の総数によって中間調の輝度が表現される。

【0023】ここで、各放電セルが“発光セル”、“非発光セル”的いすれに設定されるのかは、図6に示されるが如き表示駆動画素データGDによって決まる。すなわち、表示駆動画素データGDの各ビットの論理レベルが論理レベル“1”である場合には、そのビット桁に対応したサブフィールドの画素データ書込行程Wcにおいて選択消去放電が生起され、放電セルは“非発光セル”に設定される。一方、そのビットの論理レベルが論理レベル“0”である場合には、上記選択消去放電は生起されないので、現状を維持する。つまり、“非発光セル”的放電セルは“非発光セル”的まま、“発光セル”的放電セルは“発光セル”的状態をそのまま維持するのである。この際、

サブフィールドSF1～SF12の内で、放電セルを“非発光セル”的状態から“発光セル”に推移させることが出来る機会は、先頭のサブフィールドSF1でのリセット行程Rcのみである。つまり、このリセット行程Rcの終了後、サブフィールドSF1～SF12のいすれか1の画素データ書込行程Wcにて一旦“非発光セル”に推移した放電セルが、この1フィールド内で再び“発光セル”に推移することはない。従って、図6に示される表示駆動画素データGDによれば、各放電セルは図6中の黒丸に示されるサブフィールドにて選択消去放電が生起されるまでの間、“発光セル”となる。そして、その間に存在する白丸にて示されるサブフィールド各々の発光維持行程Icにて上述した如き回数だけ発光を行うのである。

【0024】よって、図6に示されるが如き1・3種類のデータパターンを有する表示駆動画素データGDによれば、[0:1:3:7:14:25:39:59:84:117:157:20:5:255]なる13階調分の輝度を表現し得る階調駆動が為される。ところが、上記映像信号に基づいて得られた画素データDは8ビット、すなわち、256段階の中間調を表現し得るものである。そこで、上記13段階の階調駆動によっても擬似的に256段階近傍の中間調表示を実現させるべく、上記多階調化処理回路33による多階調化処理が実施されているのである。

【0025】図9は、かかる多階調化処理回路33の内部構成を示す図である。図9に示されるように、多階調化処理回路33は、誤差拡散処理回路330及びディザイアリズム回路350から構成される。先ず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された9ビットの第1変換画素データD<sub>1..n</sub>中の上位7ビット分を表示データ、下位2

ビット分を誤差データとして夫々分離する。加算器33

2は、かかる誤差データとしての第1変換画素データD<sub>1</sub>中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データA/D変換器4でのクロック周期と同一の時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号AD<sub>1</sub>として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD<sub>1</sub>に所定係数値K<sub>1</sub>(例えば、"7/16")を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD<sub>1</sub>を更に(1水平走査期間-上記遅延時間D×4)なる時間だけ遅延させたものを遅延加算信号AD<sub>2</sub>として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間Dだけ遅延させたものを遅延加算信号AD<sub>3</sub>として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号AD<sub>4</sub>として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を上記遅延時間D×3なる時間分だけ遅延させたものを遅延加算信号AD<sub>5</sub>として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号AD<sub>2</sub>に所定係数値K<sub>2</sub>(例えば、"3/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号AD<sub>2</sub>に所定係数値K<sub>3</sub>(例えば、"5/16")を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号AD<sub>2</sub>に所定係数値K<sub>4</sub>(例えば、"1/16")を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間Dなる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ(第1変換画素データD<sub>1</sub>中の下位2ビット)と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、桁上げがない場合には論理レベル"0"、桁上げがある場合には論理レベル"1"のキャリアアウト信号C<sub>0</sub>を発生して加算器333に供給する。加算器333は、上記表示データ(第1変換画素データD<sub>1</sub>中の上位7ビット分)に、上記キャリアアウト信号C<sub>0</sub>を加算したものを7ビットの誤差拡散処理画素データEDとして出力する。

【0026】以下に、かかる構成からなる誤差拡散処理回路330の動作について、図10に示されるが如きPDP10の画素G(j,k)に対応した誤差拡散処理画素データEDを求める際の動作を例にとって述べる。先ず、かかる画素G(j,k)の左横の画素G(j-1,k)、左斜め上の画素G(j-1,k-1)、真上の画素G(j,k-1)、及び右斜め上

の画素G(j-1,k+1)各々に対応した誤差データ、すなわち、  
画素G(j,k-1)に対応した誤差データ：遅延加算信号AD<sub>1</sub>  
画素G(j-1,k+1)に対応した誤差データ：遅延加算信号AD<sub>2</sub>  
画素G(j-1,k)に対応した誤差データ：遅延加算信号AD<sub>3</sub>  
画素G(j-1,k-1)に対応した誤差データ：遅延加算信号AD<sub>4</sub>  
各々に対して、前述した如き係数値K<sub>1</sub>～K<sub>4</sub>を用いた重み付け加算を実施する。次に、この加算結果に第1変換画素データD<sub>1</sub>中の下位2ビット分、すなわち画素G(j,k)に対応した誤差データを加算する。そして、この加算結果としての1ビットのキャリアアウト信号C<sub>0</sub>を、第1変換画素データD<sub>1</sub>中の上位7ビット分、すなわち画素G(j,k)に対応した表示データに加算したものを7ビットの誤差拡散処理画素データEDとして得るのである。  
【0027】すなわち、誤差拡散処理回路330は、画素G(j,k)の周辺の画素G(j,k-1)、G(j-1,k+1)、G(j-1,k)、及びG(j-1,k-1)各々での誤差データを重み付け加算したものを、画素G(j,k)に対応した表示データに反映させるのである。かかる動作により、画素G(j,k)における下位2ビットに対応した輝度成分が上記周辺画素によって擬似的に表現され、8ビットよりも少ないビット数、すなわち7ビット分の表示データにて、上記8ビットの画素データDと同等の輝度階調表現が可能になるのである。尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、4つの画素各々に割り当てるべき誤差拡散の係数K<sub>1</sub>～K<sub>4</sub>を1フィールド(フレーム)毎に変更するようにしても良い。  
【0028】ディザ処理回路350は、誤差拡散処理回路330から供給された誤差拡散処理画素データEDに対して、以下に説明するが如きディザ処理を施す。これにより、7ビットの誤差拡散処理画素データEDにて表される中間輝度と同等な輝度階調レベルを維持しつつも、そのビット数を4ビットに減らした多階調化処理画素データD<sub>2</sub>を生成する。かかるディザ処理においても、隣接する複数個の画素により1つの中間輝度を表現する。  
【0029】図11は、かかるディザ処理回路350の内部構成を示す図である。低輝度成分抽出回路351は、図12に示されるが如きPDP10の画素G(j,...)  
～画素G(j,...)の各々に対応して供給されてくる上記誤差拡散処理画素データED各々を4フィールドに1度の割合で取り込み、その下位3ビット分を抽出する。そして、低輝度成分抽出回路351は、この抽出した誤差拡散処理画素データED各々の下位3ビット分を低輝度成

分B Lとして、低輝度成分レベル判別回路352に供給する。低輝度成分レベル判別回路352は、先ず、図12の太線にて囲まれる4行×4列からなる画素群毎に、その画素群内の各画素に対応した上記低輝度成分B L各々のレベルが全て同一であるか否かの判別を行う。ここで、全てのレベルが同一であると判別された場合、低輝度成分レベル判別回路352は、その低輝度成分B Lによって示されるレベルが"0"、"2"、"4"、"6"のいずれか1つに該当しているか否かを判別する。この際、低輝度成分B Lによって示されるレベルが上記"0"、"2"、"4"、"6"のいずれかに該当する場合には、低輝度成分レベル判別回路352は、論理レベル"0"のディザマトリクス選択信号をセレクタ353に供給する。一方、上記"0"、"2"、"4"、"6"のいずれにも該当しない場合、つまり、"1"、"3"、"5"、"7"のいずれかに該当する場合、低輝度成分レベル判別回路352は、論理レベル"1"のディザマトリクス選択信号をセレクタ353に供給する。又、低輝度成分レベル判別回路352は、画素群内の各画素に対応した上記低輝度成分B L各々のレベルが全て同一でない場合にも、論理レベル"1"のディザマトリクス選択信号をセレクタ353に供給する。

【0030】第1ディザマトリクス回路354及び第2ディザマトリクス回路355各々は、図12の太線にて囲まれている4行×4列画素群毎に、その画素群内の各画素位置に対応させて、"0"～"7"を表現し得る3ビットのディザ係数を発生する。そして、その発生したディザ係数各々を、上記画素群内における各画素に対応して供給される誤差拡散処理画素データED各々に合わせたタイミングで、セレクタ353に送出する。尚、上記第1ディザマトリクス回路354及び第2ディザマトリクス回路355各々は"0"～"7"なるディザ係数を発生する点では同一動作を為すものの、4行×4列画素群内の各画素に対するディザ係数の割り当て方が異なっている。

【0031】図13は、第1ディザマトリクス回路354が発生するディザ係数の各画素位置に対する割り当てを示すディザマトリクステーブルを示す図である。図13に示されるように、第1ディザマトリクス回路354は、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々"7"、"3"、"6"、"2"なるディザ係数を発生する。

【0032】又、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"0"、"4"、"1"、"5"

なるディザ係数を発生する。

【0033】又、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6"、"2"、"7"、"3"

なるディザ係数を発生する。

10 【0034】更に、この第1フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"1"、"5"、"0"、"4"

なるディザ係数を発生する。

【0035】尚、上記Kは、1～n/4までの自然数であり、上記Lは、1～m/4までの自然数である。次の第2フィールドにおいては、第1ディザマトリクス回路354は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させ

て、夫々"4"、"0"、"5"、"1"

なるディザ係数を発生する。

【0036】又、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"7"、"2"、"6"

なるディザ係数を発生する。

【0037】又、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"1"、"4"、"0"

なるディザ係数を発生する。

【0038】更に、この第2フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"2"、"6"、"3"、"7"

なるディザ係数を発生する。

【0039】次の第3フィールドにおいては、第1ディザマトリクス回路354は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させ

て、夫々

13

"1"、"5"、"0"、"4"

なるディザ係数を発生する。

【0040】又、この第3フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6"、"2"、"7"、"3"

なるディザ係数を発生する。

【0041】又、この第3フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"0"、"4"、"1"、"5"

なるディザ係数を発生する。

【0042】更に、かかる第3フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"7"、"3"、"6"、"2"

なるディザ係数を発生する。

【0043】次の第4フィールドにおいては、第1ディザマトリクス回路354は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"2"、"6"、"3"、"7"

なるディザ係数を発生する。

【0044】又、この第4フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"1"、"4"、"0"

なるディザ係数を発生する。

【0045】又、この第4フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"7"、"2"、"6"

なるディザ係数を発生する。

【0046】更に、かかる第4フィールドにおいて、第1ディザマトリクス回路354は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"4"、"0"、"5"、"1"

なるディザ係数を発生する。

【0047】第1ディザマトリクス回路354は、上述した如き第1フィールド～第4フィールドでの一連のディザ係数発生動作を図13に示されるように繰り返し実行する。これに対し、第2ディザマトリクス回路355は、図14に示されるが如きディザマトリクステーブルに従って、4行×4列画素群内の各画素位置に対応させたディザ係数を発生している。

【0048】図14に示されるように、第2ディザマトリクス回路355は、最初の第1フィールドにおいては、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"7"、"3"、"6"、"2"

なるディザ係数を発生する。

【0049】又、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"0"、"4"、"5"、"1"

なるディザ係数を発生する。

【0050】又、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"6"、"2"、"7"、"3"

なるディザ係数を発生する。

【0051】更に、この第1フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"5"、"1"、"0"、"4"

なるディザ係数を発生する。

【0052】尚、上記Kは、 $1 \sim n/4$ までの自然数であり、上記Lは、 $1 \sim m/4$ までの自然数である。次の第2フィールドにおいては、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"1"、"5"、"4"、"0"

なるディザ係数を発生する。

【0053】又、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素各々に対応させて、夫々

"2"、"6"、"3"、"7"

なるディザ係数を発生する。

【0054】又、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"4"、"0"、"1"、"5"

なるディザ係数を発生する。

【0055】更に、この第2フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"7"、"2"、"6"

なるディザ係数を発生する。

【0056】次の第3フィールドにおいては、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"6"、"2"、"7"、"3"

なるディザ係数を発生する。

【0057】又、この第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"5"、"1"、"0"、"4"

なるディザ係数を発生する。

【0058】又、この第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"7"、"3"、"6"、"2"

なるディザ係数を発生する。

【0059】更に、かかる第3フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"0"、"4"、"5"、"1"

なるディザ係数を発生する。

【0060】次の第4フィールドにおいては、第2ディザマトリクス回路355は、PDP10の第(4K-3)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"4"、"0"、"1"、"5"

なるディザ係数を発生する。

【0061】又、この第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-2)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"3"、"7"、"2"、"6"

なるディザ係数を発生する。

【0062】又、この第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第(4K-1)行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

"1"、"5"、"4"、"0"

なるディザ係数を発生する。

【0063】更に、かかる第4フィールドにおいて、第2ディザマトリクス回路355は、PDP10の第4K行における第(4L-3)列、第(4L-2)列、第(4L-1)列、及び第4L列に属する画素の各々に対応させて、夫々

20 "2"、"6"、"3"、"7"

なるディザ係数を発生する。

【0064】第2ディザマトリクス回路355は、上述した如き第1フィールド～第4フィールドでの一連のディザ係数発生動作を図14に示されるように繰り返し実行する。セレクタ353は、上記低輝度成分レベル判別回路352から供給されたディザマトリクス選択信号が論理レベル"0"である場合には、上記第1ディザマトリクス回路354から供給されたディザ係数を選択して加算器356に供給する。一方、かかるディザマトリクス選択信号が論理レベル"1"である場合には、セレクタ353は、上記第2ディザマトリクス回路355から供給されたディザ係数を選択して加算器356に供給する。

【0065】すなわち、4行×4列画素群内の各画素に対応した上記誤差拡散処理画素データED各々の下位3ビット分が全て同一値であり、その値が"0"、"2"、"4"、"6"のいずれかに該当する場合には、図13に示される形態にて第1ディザマトリクス回路354から出力されたディザ係数が加算器356に供給される。一方、4行×4列画素群内の各画素に対応した誤差拡散処理画素データED各々の下位3ビット分が全て同一値とはならない場合には、図14に示される形態にて第2ディザマトリクス回路355から出力されたディザ係数が加算器356に供給される。又、4行×4列画素群内の各画素に対応した誤差拡散処理画素データED各々の下位3ビット分が全て同一値ではあるものの、その値が"0"、"2"、"4"、"6"のいずれにも該当していない場合においても、図14に示される形態にて第2ディザマトリクス回路355から出力されたディザ係数が加算器356に供給される。

40 50 【0066】加算器356は、上記セレクタ353から

供給されてくる図13又は図14に示されるが如き3ビットで表されるディザ係数を、上記誤差拡散処理画素データEDの下位3ビットに加算する。加算器356は、この加算結果をディザ加算画素データとして上位ビット抽出回路357に供給する。上位ビット抽出回路357は、かかるディザ加算画素データ中から上位4ビット分を抽出し、これを多階調化画素データD<sub>3</sub>として出力する。

【0067】以上の如く、このディザ処理回路350では、図12の太線にて囲まれている4行×4列画素群を1つの表示単位として捉えてディザ処理を行うようにしている。つまり、4行×4列画素群内の16個の画素各々に対応した誤差拡散処理画素データED各々の下位3ビットに、3ビットで表される"0"~"7"なるディザ係数を図13又は図14に示されるように割り当てて加算するのである。このように、16個の画素各々に対応した誤差拡散処理画素データED各々の下位3ビットに、3ビットで表される"0"~"7"なるディザ係数を加算すると、

- 1) ディザ係数"7"が加算された画素だけで桁上げが生じる場合、
- 2) ディザ係数"6"及び"7"が加算された画素で桁上げが生じる場合
- 3) ディザ係数"5"~"7"が加算された画素で桁上げが生じる場合
- 4) ディザ係数"4"~"7"が加算された画素で桁上げが生じる場合
- 5) ディザ係数"3"~"7"が加算された画素で桁上げが生じる場合
- 6) ディザ係数"2"~"7"が加算された画素で桁上げが生じる場合
- 7) ディザ係数"1"~"7"が加算された画素で桁上げが生じる場合
- 8) 全ての画素で桁上げが生じない場合

なる8つの桁上げ状態のいずれかが起こる。

【0068】そして、かかる桁上げの影響が、加算器356から出力されたディザ加算画素データ中の上位4ビットに反映されることになる。従って、4行×4列画素群を1つの表示単位として眺めた場合、上記ディザ加算画素データ中の上位4ビットによって表される輝度として、8種類の組み合わせが発生することになる。すなわち、上位ビット抽出回路357によって得られた多階調化処理画素データD<sub>3</sub>のビット数が例え4ビットであっても、表現出来る輝度階調数は8倍、すなわち、7ビット相当の中間調表示が可能となるのである。

【0069】しかしながら、4行×4列画素群の各画素位置に固定して"0"~"7"なるディザ係数を加算すると、上述した如き桁上げの影響により、画素データとは関わりの無い模様(ディザパターン)が視覚的なノイズとして確認される場合がある。そこで、ディザ処理回路3

50においては、4行×4列画素群内の16個の画素各々に割り当てるべきディザ係数を、図13に示されるが如く1フィールド毎に変更するようしているのである。

【0070】これにより、4行×4列画素群内の16個の画素各々に対応した誤差拡散処理画素データED各々の全ての下位3ビットが"0"、"2"、"4"、"6"の内のいずれか1つを示す値である場合には、ディザパターンの発生が抑制される。ところが、これら誤差拡散処理画素データED各々における全ての下位3ビットが"1"、"3"、"5"、"7"の内のいずれか1つを示す値である場合には、ディザパターンが発生してしまう。

【0071】図15は、図13に示されるが如きディザ係数の加算によって生じる下位3ビットから上位4ビットへの桁上げを示す桁上げパターンと、かかる桁上げパターンによって視覚されるディザパターンを示す図である。図15において、例えば、4行×4列画素群内の各画素に対応した誤差拡散処理画素データEDの下位3ビット分が"0"を示す場合には、これにディザ係数"0"~"7"のいずれを加算しても桁上げは生じない。よって、第1~第4フィールドを通して、上位4ビット分に対する桁上げの影響は無い。ところが、誤差拡散処理画素データED各々の下位3ビット分が"1"を示す場合には、第1~第4フィールドの各々において、図15に示されるように、ディザ係数"7"の加算される画素位置のみで桁上げが生じる。よって、第1~第4フィールド間での目の残像現象により、図15に示されるが如き市松格子状のディザパターンが発生する。又、誤差拡散処理画素データED各々の下位3ビット分が"2"を示す場合には、第1~第4フィールド各々において、図15に示されるが如く、ディザ係数"6"及び"7"の加算される画素位置で夫々桁上げが生じる。この際、これらディザ係数"7"及び"6"の加算は、第1~第4フィールドを通じて4行×4列画素群内の16個所において1回ずつ均等に実施されるので、ディザパターンは発生しない。又、誤差拡散処理画素データED各々の下位3ビット分が"3"を示す場合には、第1~第4フィールド各々において、図15に示されるように、ディザ係数"5"、"6"、及び"7"の加算される画素位置で夫々桁上げが生じる。この際、これらディザ係数"5"、"6"、及び"7"の加算は、第1~第4フィールドを通じて、1回だけ実施される箇所と、2回実施される箇所とが混在している。従って、これが図15に示されるが如き市松格子状のディザパターンとして現れてしまう。

【0072】このように、誤差拡散処理画素データEDの下位3ビット分が"0"、"2"、又は"4"、"6"である場合にはディザパターンの発生を抑制できるが、"1"、"3"、"5"、又は"7"である場合にはディザパターンの発生を抑えられない。そこで、ディザ処理回路350においては、誤差拡散処理画素データEDの低輝度

成分としての下位3ビット分が"1"、"3"、"5"、又は"7"である場合には、第1ディザマトリクス回路354に代わり第2ディザマトリクス回路355で発生したディザ係数を用いてディザ加算を行なうようしている。すなわち、この際、図13に示されるディザマトリクステーブルとは異なるディザ係数の割り当て方を有する図14に示されるが如きディザマトリクステーブルを用いたディザ加算が実施されるのである。

【0073】図16は、図14に示されるディザマトリクステーブルに従ったディザ係数の加算を行なった際に生じる下位3ビットから上位4ビットへの桁上げを示すパターンと、この桁上げパターンによって視覚されるディザパターンを示す図である。図16において、4行×4列画素群内の各画素に対応した誤差拡散処理画素データEDの下位3ビット分が"1"である場合には、第1～第4フィールド各々において、ディザ係数"7"の加算される画素位置のみで桁上げが生じる。よって、第1～第4フィールド間での目の残像現象により、図16に示されるが如き比較的薄い市松状のディザパターンが発生する。又、誤差拡散処理画素データEDの下位3ビット分が"3"である場合には、第1～第4フィールド各々において、ディザ係数"5"、"6"及び"7"の加算される画素位置で夫々桁上げが生じる。よって、第1～第4フィールド間での目の残像現象により、図16に示されるが如き市松状の比較的薄いディザパターンが発生する。又、誤差拡散処理画素データEDの下位3ビット分が"5"である場合には、第1～第4フィールド各々において、ディザ係数"3"、"4"、"5"、"6"及び"7"の加算される画素位置で夫々桁上げが生じる。よって、第1～第4フィールド間での目の残像現象により、図16に示されるが如き比較的薄い市松状のディザパターンが発生する。又、誤差拡散処理画素データEDの下位3ビット分が"7"である場合には、第1～第4フィールド各々において、ディザ係数"1"、"2"、"3"、"4"、"5"、"6"及び"7"の加算される画素位置で夫々桁上げが生じる。よって、第1～第4フィールド間での目の残像現象により、図16に示されるが如き比較的薄い市松状のディザパターンが発生する。

【0074】このように、第2ディザマトリクス回路355が発生したディザ係数を用いたディザ処理においても、誤差拡散処理画素データEDの下位3ビット分が"1"、"3"、"5"、又は"7"のいずれかである場合には、図16に示されるが如き薄い市松状のディザパターンが視覚される。しかしながら、かかる市松状のディザパターンは、図15に示されるが如き市松格子状のパターンに比して視覚的なノイズ感が少ない。従って、結果としてディザノイズの低減が達成されるのである。

【0075】尚、上記実施例においては、図13及び図14に示されている2系統のディザマトリクステーブルを、誤差拡散処理画素データEDにおける低輝度成分の

レベルに応じて切り替えており、このディザマトリクステーブルとしては2系統に限定されない。すなわち、4行×4列画素群内の各画素位置に対するディザ係数の割り当て方が互いに異なる3～8系統のディザマトリクステーブルを用意し、これらの中から誤差拡散処理画素データEDにおける低輝度成分のレベルに応じたものを選択して用いるのである。

#### 【0076】

【発明の効果】以上詳述した如く、本発明によるディスプレイ装置のディザ処理回路においては、映像信号に対応した画素データによって表される輝度レベルに応じて、ディスプレイ上の画素群内の各画素に割り当てるべきディザ係数の値を変更している。

【0077】従って、本発明によれば、ディザパターンの発生を抑制した良好なディザ処理が実施されるようになる。

#### 【図面の簡単な説明】

【図1】本発明によるディザ処理回路を搭載したプラズマディスプレイ装置の概略構成を示す図である。

【図2】データ変換回路30の内部構成を示す図である。

【図3】ABL回路31の内部構成を示す図である。

【図4】データ変換回路312における変換特性を示す図である。

【図5】第1データ変換回路32におけるデータ変換特性を示す図である。

【図6】第2データ変換回路34の変換テーブル及び発光駆動パターンを示す図である。

【図7】図1に示されるプラズマディスプレイ装置の発光駆動フォーマットを示す図である。

【図8】1フィールド表示期間内においてPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

【図9】多階調化処理回路33の内部構成を示す図である。

【図10】誤差拡散処理回路330の動作を説明する為の図である。

【図11】ディザ処理回路350の内部構成を示す図である。

【図12】PDP10における各画素Gと4行×4列画素群との対応を示す図である。

【図13】第1ディザマトリクス回路354が発生するディザ係数のディザマトリクステーブルを示す図である。

【図14】第2ディザマトリクス回路355が発生するディザ係数のディザマトリクステーブルを示す図である。

【図15】図13に示されるが如きディザ係数の加算によって生じる下位3ビットから上位4ビットへの桁上げパターンと、かかる桁上げパターンによって視覚される

21

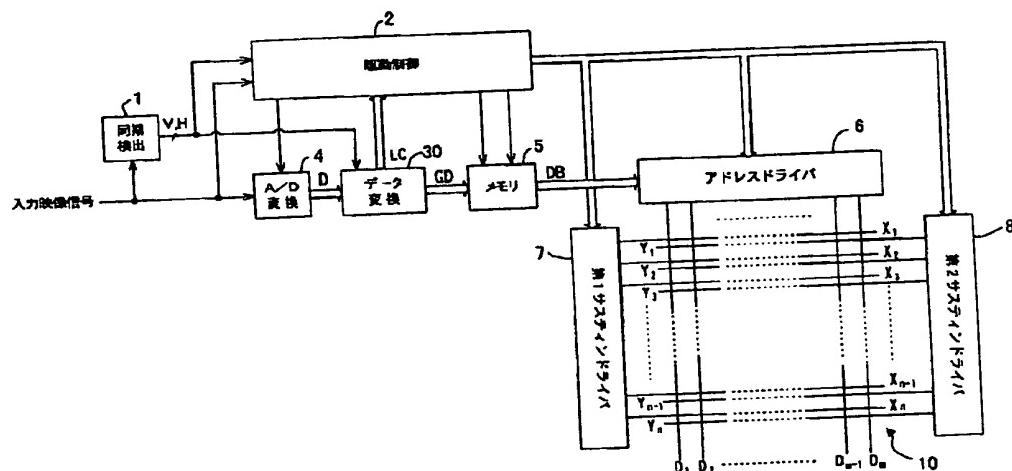
ディザパターンを示す図である。

【図1】 図1に示されるが如きディザ係数の加算によって生じる下位3ビットから上位4ビットへの桁上げパターンと、かかる桁上げパターンによって視覚されるディザパターンを示す図である。

【主要部分の符号の説明】

- 350 ディザ処理回路
- 351 低輝度成分抽出回路
- 352 低輝度成分レベル判別回路
- 353 セレクタ
- 354 第1ディザマトリクス回路
- 355 第2ディザマトリクス回路

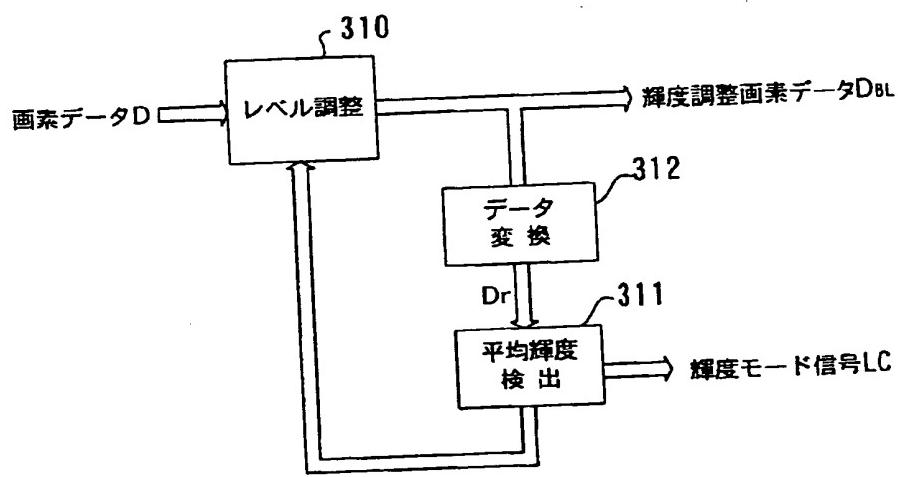
【図1】



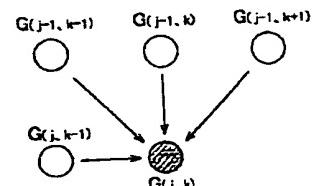
【図3】

【図4】

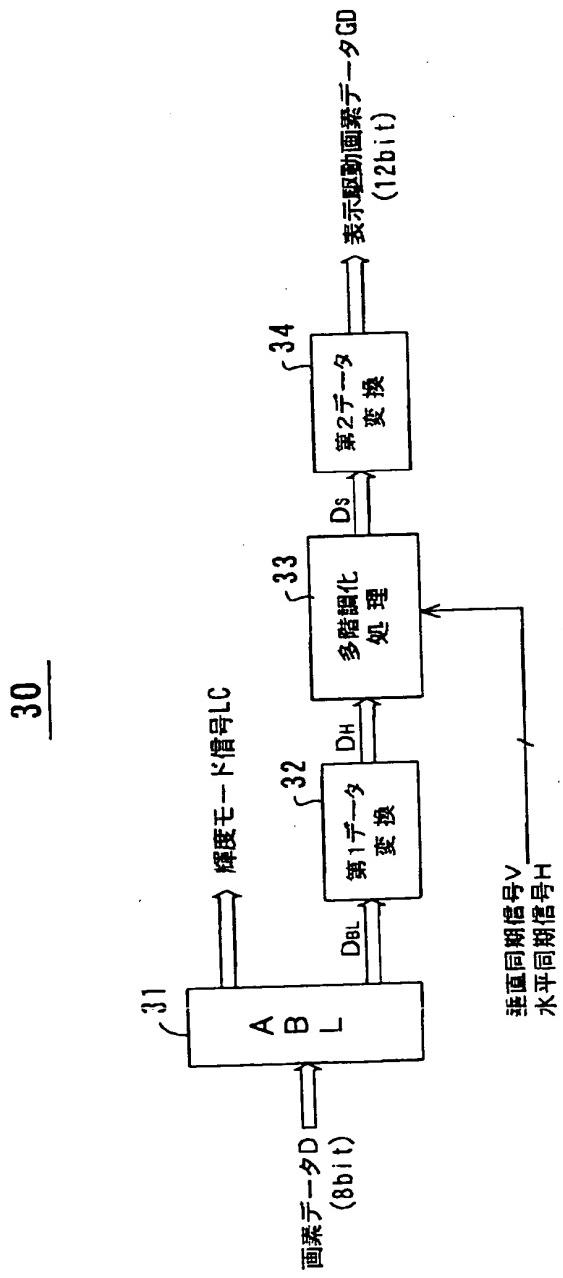
31



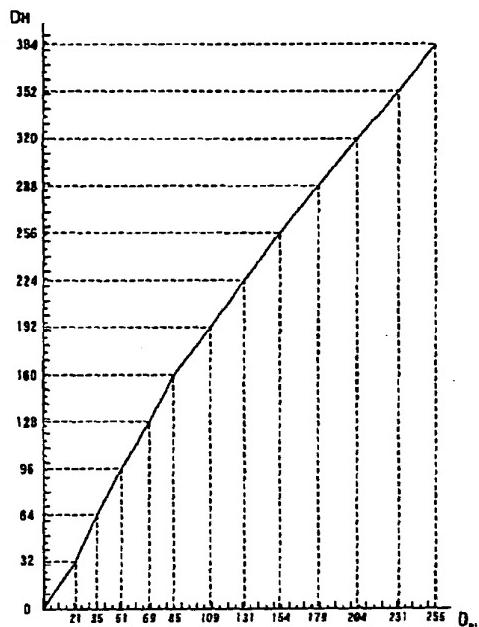
【図10】



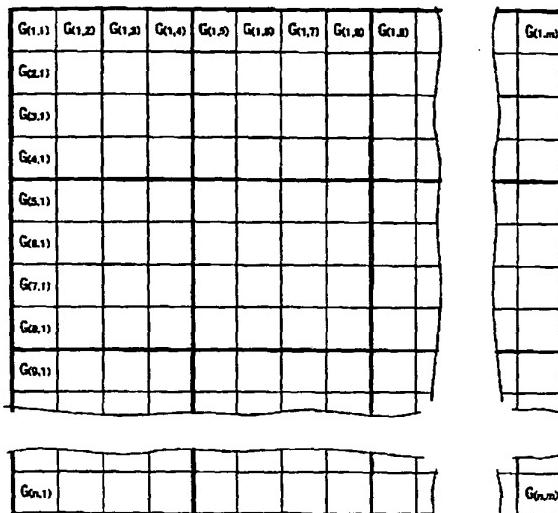
【図2】



【図5】



【図12】



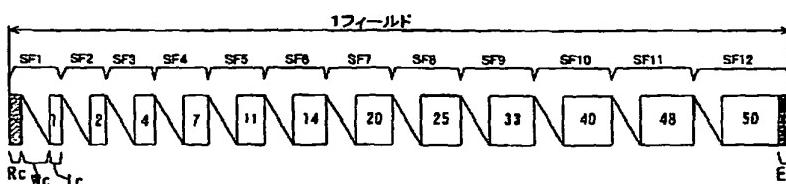
【図6】

【選択消去】

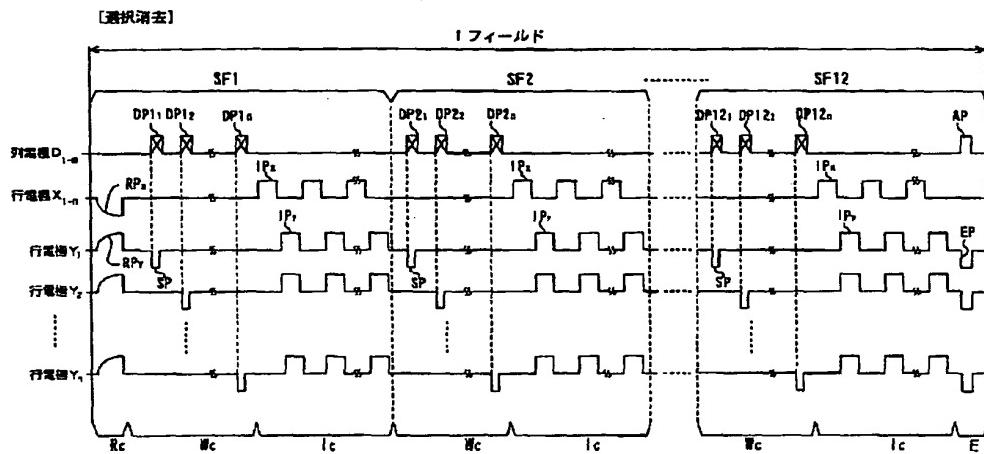
附圖	Ds	GD												発光駆動パターン												表示 場所
		1	2	3	4	5	6	7	8	9	10	11	12	1	2	3	4	5	6	7	8	9	10	11	12	
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●												0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	●											1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	●										3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	●									7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	●								14
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	●							25
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	●						39
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	●					59
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	●				84
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	●				117
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	●				157
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	●			205
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○		255

黒丸:選択消去放電  
白丸:発光SF

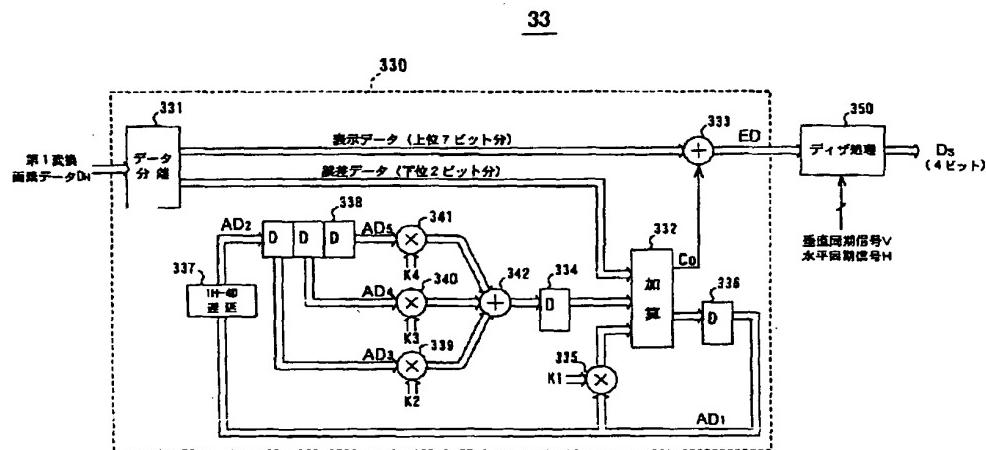
【図7】



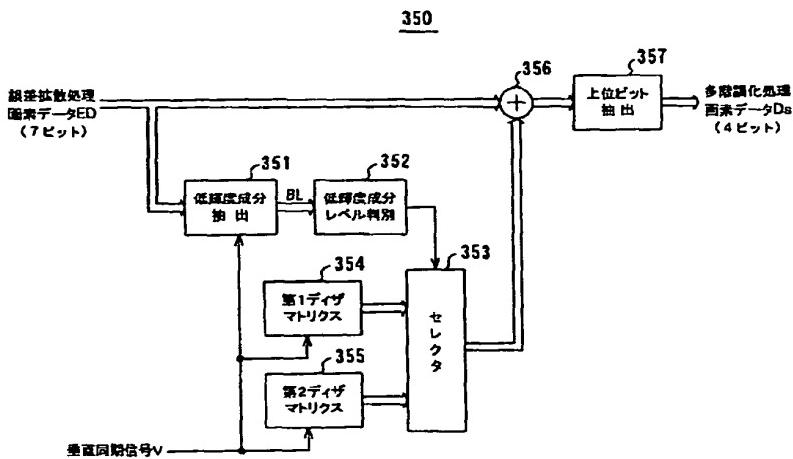
【図 8】



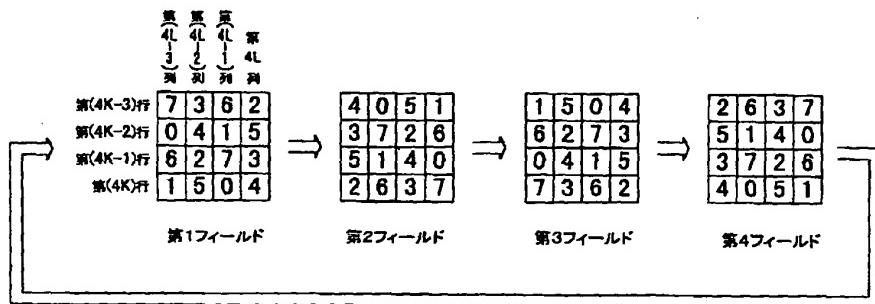
【図 9】



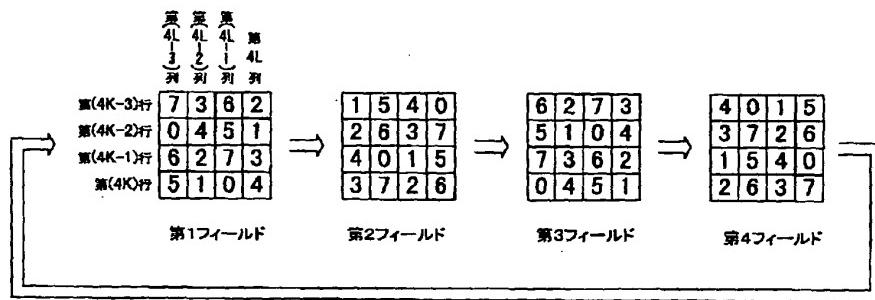
【図 11】



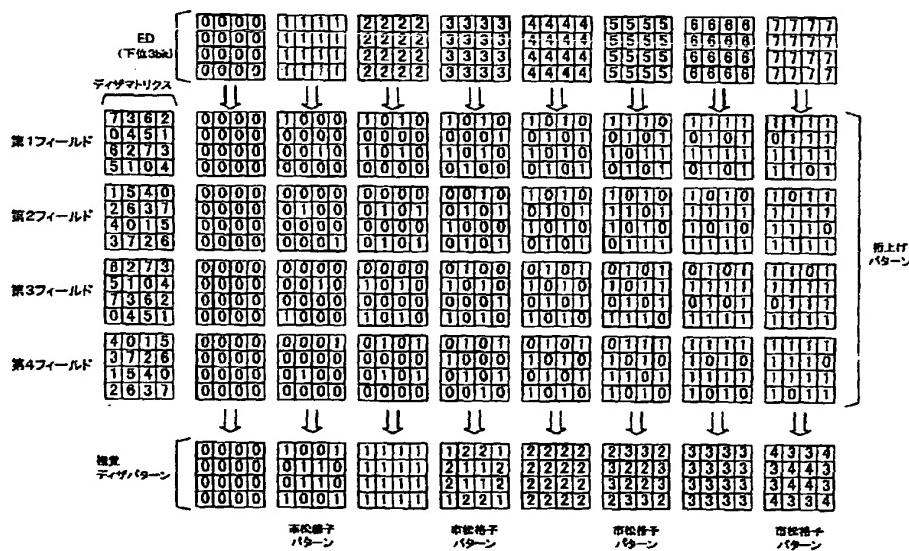
[図13]



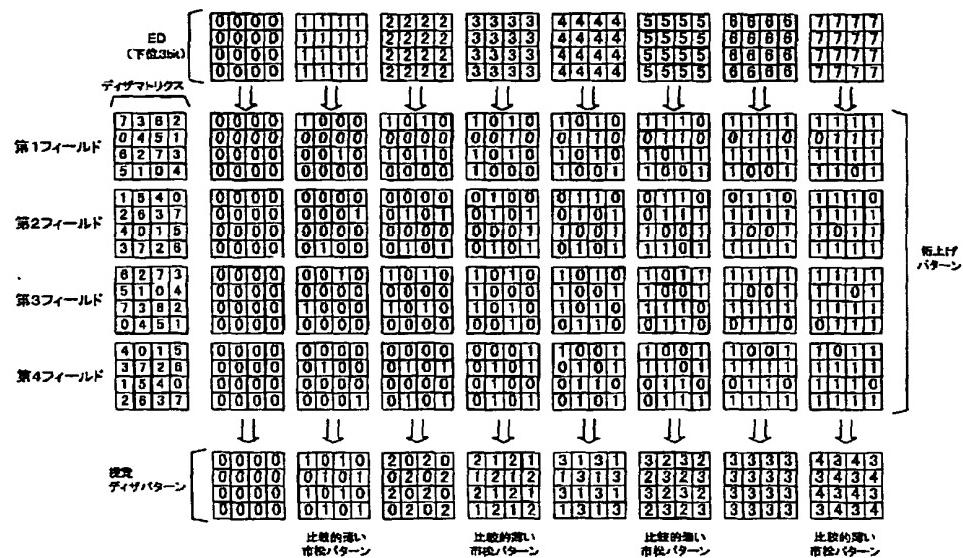
【图 14】



【图 15】



【図16】



フロントページの続き

(51) Int.Cl.

G09G 3/28

識別記号

F I

G09G 3/28

テマコト (参考)

K